

10,602596

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-102577  
(P2001-102577A)

(43) 公開日 平成13年4月13日 (2001.4.13)

(51) Int.Cl.<sup>7</sup>H 0 1 L 29/78  
21/336

識別記号

F I

H 0 1 L 29/78

テマコード (参考)

6 5 2 H 5 F 0 4 0

3 0 1 D

3 0 1 X

6 5 2 C

6 5 8 F

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号

特願平11-278255

(22) 出願日

平成11年9月30日 (1999.9.30)

(71) 出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

四戸 孝

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者

川口 雄介

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人

100058479

弁理士 鈴江 武彦 (外6名)

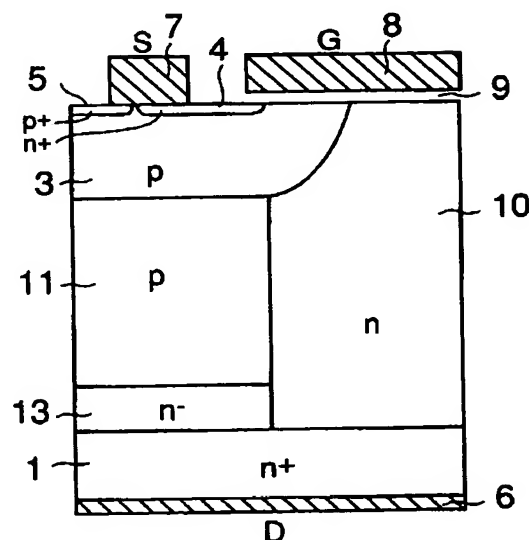
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 従来の素子に比べて耐圧及びターンオフ特性を向上させることが可能な半導体装置を提供する。

【解決手段】 n型の不純物が含有された第1の半導体領域1と、p型の不純物が含有された第2の半導体領域3と、第1の半導体領域と第2の半導体領域との間に設けられ、n型の不純物が含有された第1の半導体層10とp型の不純物が含有された第2の半導体層11とが交互に繰り返し配置された第3の半導体領域とを有し、第2の半導体層の繰り返し方向のキャリア積分量が第1の半導体層の繰り返し方向のキャリア積分量よりも大きくなるように構成され、第1の半導体領域と第3の半導体領域との間に不純物濃度の低いn型の第4の半導体領域13が形成されている。



1

## 【特許請求の範囲】

【請求項1】第1導電型の不純物が含有された第1の半導体領域と、  
前記第1の半導体領域と離間して形成され第2導電型の不純物が含有された第2の半導体領域と、  
前記第1の半導体領域と前記第2の半導体領域との間に設けられ、第1導電型の不純物が含有された第1の半導体層と第2導電型の不純物が含有された第2の半導体層とが前記第1の半導体領域と第2の半導体領域とが対向する方向と交差する方向に交互に繰り返して配置された第3の半導体領域と、  
を有する半導体装置であって、  
交互に繰り返して配置された前記第1の半導体層及び第2の半導体層の繰り返しの方向のキャリア積分量が、第2の半導体層の方が第1の半導体層よりも大きくなるように構成され、  
前記第1の半導体領域と前記第3の半導体領域の少なくとも第2の半導体層との間に前記第1の半導体領域よりも第1導電型の不純物濃度の低い第4の半導体領域が形成されていることを特徴とする半導体装置。

【請求項2】前記第3の半導体領域の第2の半導体層は、前記第1の半導体領域側の方が前記第2の半導体領域側よりも不純物濃度が低くなるように構成された複数の半導体層からなることを特徴とする請求項1に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置、特に電力用のスーパージャンクション素子に関するものである。

## 【0002】

【従来の技術】図7は、従来の縦型スーパージャンクションMOSFETの素子構造を示した断面図である。

【0003】この素子の基本構造は、 $n^+$ 型半導体基板に形成された $n^+$ 型ドレイン層1、その上にエピタキシャル成長された $n^-$ 型ベース層（図示せず）、 $p$ 型ベース層3、 $n^+$ 型ソース層4、 $p^+$ 型層5、ドレイン電極6、ソース電極7、ゲート電極8、ゲート絶縁膜9、 $n^-$ 型ベース層内で $n$ 型低濃度層10及び $p$ 型低濃度層11が交互に繰り返して配置された補助領域によって構成されている。

【0004】なお、図では、 $n$ 型低濃度層10の左半分及び $p$ 型低濃度層11の右半分に対応した領域からなる単位領域のみ示しているが、実際には隣接する単位領域どおしが単位領域間の境界面で対称になるようにして複数配置されている。

【0005】 $n$ 型低濃度層10と $p$ 型低濃度層11とが交互に繰り返して配置された補助領域の効果については、例えば「T. Fujihira, Jpn. J. Appl. Phys. Vol. 36 (1997) pp. 625

2

4-6262」に開示されている。これによれば、補助領域の $n$ 型低濃度層10と $p$ 型低濃度層11の繰り返しの方向のキャリア積分量が、概略 $5 \times 10^{12} \text{ cm}^{-2}$ 以下でほぼ同一になるように設計すれば、これらの低濃度層間に逆方向電圧が印加された場合に、これらの低濃度層は完全に空乏化するというものである。

【0006】この原理によれば、例えば $n$ 型低濃度層10の濃度を $n^-$ 型ベース層の濃度の100倍に設定しても、 $n$ 型低濃度層10の幅を狭くしてキャリア積分量が $5 \times 10^{12} \text{ cm}^{-2}$ 以下になるように調整すれば、補助領域ではブレークダウンが起こらないことになる。したがって、このような補助領域を $n^+$ 型ドレイン層1と $p$ 型ベース層3とに挟まれた領域に形成すれば、この部分の抵抗を著しく低減することが可能となる。

【0007】また、この補助領域はその厚さ方向の長さには比例して耐圧が増加するという性質を持っているので、オン抵抗は耐圧に直線的に比例する。一方、補助領域のない場合には、 $n^-$ 型ベース層の濃度を減らしながら厚さを増加させないと耐圧が増加しないので、オン抵抗は耐圧の2乗に比例して著しく増加する。したがって、高耐圧が要求される素子になるほど、補助領域を設けたことによるオン抵抗の低減効果が大きくなる。

【0008】また、補助領域の $p$ 型低濃度層11は $p$ 型ベース層3と接続されてソース電極7とほぼ等電位に設定されており、補助領域の $n$ 型低濃度層10は $n^+$ 型ドレイン層1と接続されてドレイン電極6とほぼ等電位に設定されている。したがって、縦型MOSFETがターンオフし始めると、補助領域内部のキャリアは速やかに素子外部へ吐き出されて空乏層が広がり、高速にターンオフすることが可能となる。

【0009】また、このような素子の製造方法は、

「G. Deboy et al., IEDM98 (1998) pp. 683-685」に開示されている。

【0010】これによれば、 $n^+$ 型半導体基板上に例えば厚さ $10 \mu\text{m}$ のエピタキシャル層を形成して、補助領域の $n$ 型低濃度層10及び $p$ 型低濃度層11が形成される領域に、イオン注入によって選択的に不純物を導入する。さらに、エピタキシャル層を形成して同様の工程を行ない、これを素子の耐圧・厚さに応じて数回繰り返す。

【0011】次に、 $p$ 型ベース層3などのイオン注入を行った後、熱拡散により、それぞれのエピタキシャル層内部に形成されたイオン注入層から不純物を拡散させて、互いの層の $n$ 型低濃度層10及び $p$ 型低濃度層11が接続されるようにする。その後、 $n^+$ 型ソース層4、 $p^+$ 型層5、ゲート絶縁膜9、ゲート電極8、ソース電極7、ドレイン電極6などを形成し、素子を完成させる。

【0012】上述したような製造方法を用いることにより、比較的簡単に補助領域を形成することができる。

3

【0013】しかしながら、上述した従来の素子構造では、「P. M. Shenoy et al., ISPSD 99 (1999) pp. 99-102」に開示されているように、補助領域のn型低濃度層10とp型低濃度層11のキャリア積分量がずれると、ターンオフ時間や内蔵逆導通ダイオードの逆回復時間が大きく変動するとともに、耐圧が著しく低下するという問題が生じる。

【0014】また、エピタキシャル成長は高温で行なうので、最初に行なったエピタキシャル成長層中に導入されている不純物がしだいに拡散するため、補助領域下部のキャリア積分量がずれやすいという問題が生じる。

【0015】また、従来の素子構造では、補助領域のp型低濃度層11がn<sup>+</sup>型ドレイン層1に接しているの  
で、この部分の空乏層はp型低濃度層11内部にしか広がらない。一方、補助領域のn型低濃度層10は比較的濃度の低いp型ベース層3に接しているの  
で、この部分の空乏層はn型低濃度層10内部だけでなく、p型ベース層3内部にも広がる。その結果、p型低濃度層11とn<sup>+</sup>型ドレイン層1が接している部分の電界強度が高くなり、この部分で素子全体の耐圧が制限されるという問題が生じる。

【0016】2次元数値計算の結果によれば、補助領域の長さLが350 $\mu$ m、補助領域のn型低濃度層10及びp型低濃度層11の幅W<sub>n</sub>及びW<sub>p</sub>がともに3.5 $\mu$ m、n型低濃度層10及びp型低濃度層11の濃度C<sub>n</sub>及びC<sub>p</sub>がともに3 $\times 10^{15}$ cm<sup>-3</sup>の場合に、素子の耐圧は4950Vであった。局所的な電界集中のない理想的な素子の耐圧は、半導体の絶縁破壊電界強度と補助領域の長さとの積で表される7000Vになるはずなので、この素子構造では70%の耐圧しか得られないことになる。

【0017】

【発明が解決しようとする課題】このように、スーパージャンクション素子は、オン抵抗の低減や高速ターンオフといった優れた性能を有している。しかしながら、従来のスーパージャンクション素子は、補助領域のn型低濃度層とp型低濃度層のキャリア積分量がずれると、ターンオフ時間や内蔵逆導通ダイオードの逆回復時間が大きく変動するとともに、耐圧が著しく低下するという問題があった。また、p型低濃度層とn<sup>+</sup>型ドレイン層が接している部分の電界強度が高くなり、この部分で素子全体の耐圧が制限されるという問題もあった。

【0018】本発明は上記従来の課題に対してなされたものであり、従来の素子に比べて耐圧及びターンオフ特性を向上させることが可能な半導体装置を提供することを目的としている。

【0019】

【課題を解決するための手段】本発明に係る半導体装置は、以下の構成を有している。なお、本発明の理解を容易にするため、後述する実施形態において説明する図面

4

の参照番号を付して本発明の構成を示す。

【0020】本発明は、第1導電型の不純物が含有された第1の半導体領域(1)と、前記第1の半導体領域(1)と離間して形成され第2導電型の不純物が含有された第2の半導体領域(3)と、前記第1の半導体領域(1)と前記第2の半導体領域(3)との間に設けられ、第1導電型の不純物が含有された第1の半導体層(10)と第2導電型の不純物が含有された第2の半導体層(11)とが前記第1の半導体領域(1)と第2の半導体領域(3)とが対向する方向と交差する方向に交互に繰り返し配置された第3の半導体領域(10、11)と、を有する半導体装置であって、交互に繰り返し配置された前記第1の半導体層(10)及び第2の半導体層(11)の繰り返し方向のキャリア積分量が、第2の半導体層(11)の方が第1の半導体層(10)よりも大きくなるように構成され、前記第1の半導体領域(1)と前記第3の半導体領域(10、11)の少なくとも第2の半導体層(11)との間に前記第1の半導体領域(1)よりも第1導電型の不純物濃度の低い第4の半導体領域(13)が形成されていることを特徴とする。

【0021】本発明では、第3の半導体領域(補助領域)の第2の半導体層の繰り返し方向のキャリア積分量(Q<sub>2</sub>)が第1の半導体層の繰り返し方向のキャリア積分量(Q<sub>1</sub>)よりも大きくなるようにしている(Q<sub>2</sub>>Q<sub>1</sub>)ので、ターンオフの際に第1の半導体層が空乏化した後にも第2の半導体層の中央部には非空乏化領域が残存している。そのため、電流がこの非空乏化領域を通して排出されることになり、高速にターンオフすることが可能となる(特に、n型に比べてp型のキャリアの移動度が小さいことから、第1の半導体層がn型で第2の半導体層がp型である場合に、効果が大きい)。製造プロセス等に起因するキャリア積分量の変動が多少あっても、Q<sub>2</sub>とQ<sub>1</sub>との大小関係が逆転しない程度にQ<sub>2</sub>及びQ<sub>1</sub>の値を設定しておけば、ターンオフ時間の揃った素子を容易に製造することが可能となる。

【0022】また、第2の半導体層の中央部に非空乏化領域が残存することから、第2の半導体領域の電位が非空乏化領域を介して第1の半導体領域の近傍まで達することになるが、第1の半導体領域と第3の半導体領域との間に第1の半導体領域よりも不純物濃度の低い第4の半導体領域が形成されているので、空乏層が不純物濃度の低い第4の半導体領域の内部に広がって電界を緩和し、高耐圧化をはかることが可能となる。

【0023】前記発明において、前記第3の半導体領域(10、11)の第2の半導体層(11)は、前記第1の半導体領域(1)側の方が前記第2の半導体領域(3)側よりも不純物濃度が低くなるように構成された複数の半導体層からなることが好ましい。

【0024】このような構成により、第3の半導体領域

(補助領域)の第2の半導体層における第1の半導体領域に近い側の領域が容易に空乏化するため、第2の半導体領域の電位の影響をより一層抑制することが可能となり、高耐圧化をより一層高めることが可能となる。また、第2の半導体領域に近い側の領域では、第2の半導体層は比較的抵抗となるので、排出電流が制限されてターンオフの高速性が損なわれることはない。

【0025】また、前記発明において、前記第4の半導体領域(13)は、前記第1の半導体領域(1)と前記第3の半導体領域(10、11)との間に形成されたバッファ領域であってもよい。

【0026】このような構成により、第3の半導体領域(補助領域)の第2の半導体層が比較的高濃度となることによって内蔵逆導通ダイオードの逆回復電流が大きくなっても、バッファ領域にキャリアを蓄積することでソフトリカバリ特性が得られ、電圧振動を効果的に防止することが可能となる。

【0027】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0028】なお、以下の実施形態では、第1導電型をn型とし、第2導電型をp型とした場合を示しているが、第1導電型をp型とし、第2導電型をn型とすることも可能である。

【0029】(第1の実施形態)図1は、本発明の第1の実施形態に係る縦型スーパージャンクションMOSFETの素子構造を示した断面図である。

【0030】なお、基本的な素子構造や基本的な製造方法については、すでに図7を用いて説明した従来の縦型スーパージャンクションMOSFETとほぼ同様であり、図7に示した構成要素に対応する構成要素については同一の参照番号を付し、ここではこれらの詳細な説明は省略する(図2～図5に示した第2～第5の実施形態についても同様)。

【0031】本実施形態の縦型スーパージャンクションMOSFETでは、補助領域(第3の半導体領域)のp型低濃度層(第2の半導体層)11のキャリア積分量 $Q_p$ は、n型低濃度層(第1の半導体層)10のキャリア積分量 $Q_n$ よりも大きくなる( $Q_p > Q_n$ )ように設定されている。また、これらのキャリア積分量は、 $Q_p$ 及び $Q_n$ ともに、 $5 \times 10^{12} \text{ cm}^{-2}$ 以下となるように設定されている。また、p型低濃度層11とn型ドレイン層(第1の半導体領域)1との間には、n型層(第4の半導体領域)13が形成されている。

【0032】本実施形態によれば、ターンオフが開始してn型低濃度層10が完全に空乏化しても、p型低濃度層11の中央部付近(図では左端付近の領域に対応)に非空乏化領域が残り、n型に比べて移動度の小さいp型のキャリア(ホール)による電流が、この非空乏化領域を

とができる。

【0033】ターンオフ時間は、 $Q_p$ と $Q_n$ との大小関係が逆転して $Q_n > Q_p$ となると急に遅くなるが、予めマージンを見込んで $Q_p > Q_n$ となるように設定してあれば、多少のプロセス変動があっても $Q_p > Q_n$ の関係が保持されるので、ターンオフ時間が大きくばらつくようなことはない。例えば、プロセス変動によって $Q_p$ と $Q_n$ との差が5%程度ばらつく場合があり得るが、 $Q_p$ が $Q_n$ よりも7～8%程度多くなるように設定しておけば、プロセス変動があっても確実に $Q_p > Q_n$ の関係を維持することができる。

【0034】また、p型低濃度層11の中央部付近に非空乏化領域が残ることから、p型低濃度層11の中央部の下部領域の電位が非空乏化領域を介してp型ベース層3の電位と同電位となり、n型ドレイン層1との境界部付近で電界強度が高くなるという問題が考えられる。本実施形態では、n型層13によって空乏層を広げることができるため、電界が緩和されて高耐圧を維持することができ、このような問題を防止することができる。

【0035】なお、n型低濃度層10とp型低濃度層11との接合終端領域については、補助領域の端部に半分のキャリア積分量を持つp型低濃度層11を配置し、通常のn型ベース層に対するガードリングやRESURFなどの接合終端構造を適用することが望ましい。

【0036】(第2の実施形態)図2は、本発明の第2の実施形態に係る縦型スーパージャンクションMOSFETの素子構造を示した断面図である。

【0037】本実施形態では、第1の実施形態の素子構造に加えてさらに、補助領域のp型低濃度層11の下部領域にp型層14を形成している。

【0038】本実施形態によれば、p型層14がそれよりも高不純物濃度のp型低濃度層11より早く空乏化されるので、p型ベース層3と同電位の領域が入り込まない。その結果、電界が緩和されてより高耐圧を維持することが可能となる。

【0039】なお、図に示した例では、p型低濃度層は二つの濃度領域としているが、下層側に行くにしたがって不純物濃度が低くなるような3以上の濃度領域を設けるようにしてもよい。

【0040】また、図に示した例では、n型低濃度層10は均一濃度となるように形成されているが、p型低濃度層11の濃度変化に合わせて、下層側に行くにしたがって低濃度になるようにしてもよい。

【0041】このような構成によれば、数回のエピタキシャル成長によって素子を形成する際に、高温に晒される時間が長く熱拡散によるQの変動量の大きな補助領域下部が低濃度に、高温に晒される時間が短くQの変動量の小さな補助領域上部が高濃度に形成されるので、オン抵抗を低く保ったまま高耐圧化をはかることが可能となる。

7

【0042】(第3の実施形態)図3は、本発明の第3の実施形態に係る縦型スーパージャンクションMOSFETの素子構造を示した断面図である。

【0043】本実施形態では、 $n^+$ 型ドレイン層1と補助領域との間に、 $n^+$ 型ドレイン層よりも低濃度の $n$ 型バッファ層15が形成されている。

【0044】本実施形態によれば、 $p$ 型ベース層3及び $p$ 型低濃度層11をアノード層とし、 $n^+$ 型ドレイン層1及び $n$ 型低濃度層10をカソード層とする内蔵逆導通ダイオードの逆回復特性を、ソフトリカバリにすることができ、また、 $p$ 型低濃度層11だけでなく $n$ 型バッファ層15内部にも空乏層が広がるので、電界が緩和され、素子耐圧を向上させることが可能となる。

【0045】本発明に係るスーパージャンクションMOSFETでは、 $Q_p > Q_n$ としたために逆回復電流が大きくなり、ダイオードの電圧が回復する際に、電流減少率に比例する電圧の跳ね上がりが発生して、電圧振動を引き起こすという問題を生じやすい。このような場合でも、 $n$ 型バッファ層15を形成することによってキャリアが蓄積され、逆回復時のテール領域での電流減少率が減少して電圧の跳ね上がりが低減されるという効果がある。

【0046】なお、キャリア蓄積の観点からは、 $n$ 型バッファ層15の厚さをキャリアの拡散長以上に設定することが望ましい。例えば、 $n$ 型バッファ層15の厚さは、耐圧4500Vの素子では75 $\mu$ m程度となるようにする。

【0047】(第4の実施形態)図4は、本発明の第4の実施形態に係る縦型スーパージャンクションMOSFETの素子構造を示した断面図である。

【0048】本実施形態では、第3の実施形態の素子構造に加えてさらに、 $p^-$ 型層14が形成されている。すなわち、本実施形態は、第2の実施形態と第3の実施形態を併せたような構造を有しており、したがって、第2の実施形態及び第3の実施形態で得られるそれぞれの効果を得ることができる。

【0049】(第5の実施形態)図5は、本発明の第5の実施形態に係る縦型スーパージャンクションMOSFETの素子構造を示した断面図である。

【0050】本実施形態では、第2の実施形態の素子構造に加えてさらに、 $n$ 型バッファ層15が形成されており、本実施形態によっても、第2の実施形態及び第3の実施形態で得られる効果と同様の効果を得ることができる。

【0051】(第6の実施形態)図6は、本発明の第6の実施形態に係る横型スーパージャンクションMOSFETの素子構造を示した斜視図である。

【0052】なお、基本的な原理については図1等にした縦型スーパージャンクションMOSFETと同様であり、図1等にした構成要素に対応する構成要素につ

8

いては同一の参照番号を付している。

【0053】第1～第5の実施形態で説明した縦型スーパージャンクションMOSFETでは、ドレイン電極6を半導体基板の一方の主面側に、ソース電極7を半導体基板の他方の主面側にそれぞれ形成した構造であったが、本実施形態の横型スーパージャンクションMOSFETでは、ドレイン電極6及びソース電極7は半導体基板の同一主面側に形成されている。

【0054】このような横型スーパージャンクションMOSFETにおいても、縦型スーパージャンクションMOSFETと同様、補助領域における $p$ 型低濃度層11のキャリア積分量 $Q_p$ と $n$ 型低濃度層10のキャリア積分量 $Q_n$ との関係を $Q_p > Q_n$ となるように設定するとともに、 $p$ 型低濃度層11と $n^+$ 型ドレイン層1との間に $n^-$ 型層13を設けることにより、縦型スーパージャンクションMOSFETと同様の効果を得ることが可能となる。

【0055】なお、図6に示した横型スーパージャンクションMOSFETは、図1に示した第1の実施形態の縦型スーパージャンクションMOSFETに対応する構造となっているが、その他の実施形態において説明した縦型スーパージャンクションMOSFETに対応する構造を横型スーパージャンクションMOSFETに適用することも可能である。

【0056】以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではない。例えば、上記実施形態では、基本となる素子構造をMOSFETとしたが、SITなど他の素子構造に対して適用することも可能である。その他、本発明はその趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

【0057】

【発明の効果】本発明によれば、補助領域の一方の半導体層のキャリア積分量 $Q_1$ と他方の半導体層のキャリア積分量 $Q_2$ との関係が $Q_2 > Q_1$ となるようにしたので、ターンオフの際に他方の半導体層に非空乏化領域が残存し、この非空乏化領域を通して電流が排出されることになり、ターンオフを高速化することが可能となる。また、ドレイン側の高不純物濃度領域と補助領域との間に低不純物濃度領域を設けることにより、空乏層が低不純物濃度領域に広がって電界を緩和するため、高耐圧化をはかることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る縦型スーパージャンクションMOSFETの素子構造を示した断面図。

【図2】本発明の第2の実施形態に係る縦型スーパージャンクションMOSFETの素子構造を示した断面図。

【図3】本発明の第3の実施形態に係る縦型スーパージャンクションMOSFETの素子構造を示した断面図。

【図4】本発明の第4の実施形態に係る縦型スーパー

9

ジャンクションMOSFETの素子構造を示した断面図。

【図5】本発明の第5の実施形態に係る縦型スーパー  
ジャンクションMOSFETの素子構造を示した断面図。

【図6】本発明の第6の実施形態に係る横型スーパー  
ジャンクションMOSFETの素子構造を示した斜視図。

【図7】従来技術に係る縦型スーパージャンクションM  
OSFETの素子構造を示した断面図。

【符号の説明】

1… $n^+$ 型ドレイン層（第1の半導体領域）

3… $p$ 型ベース層（第2の半導体領域）

4… $n^+$ 型ソース層

\* 5… $p^+$ 型層

6…ドレイン電極

7…ソース電極

8…ゲート電極

9…ゲート絶縁膜

10… $n$ 型低濃度層（第1の半導体層）

11… $p$ 型低濃度層（第2の半導体層）

13… $n^-$ 型層（第4の半導体領域）

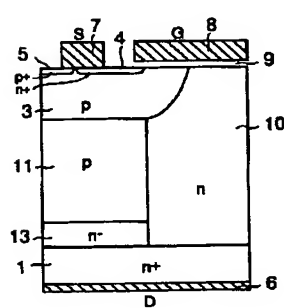
14… $p^-$ 型層

10 15… $n$ 型バッファ層（第4の半導体領域）

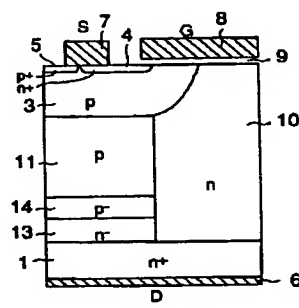
\*

10

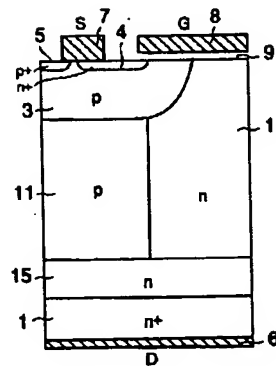
【図1】



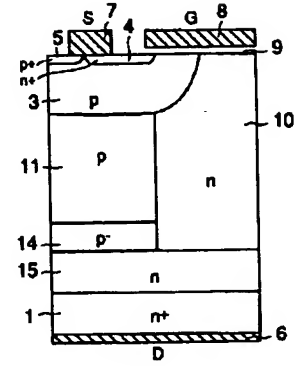
【図2】



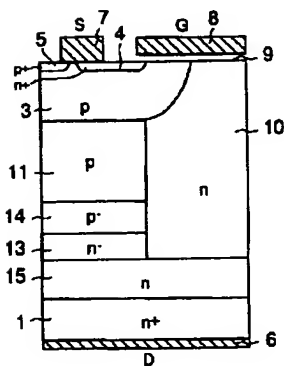
【図3】



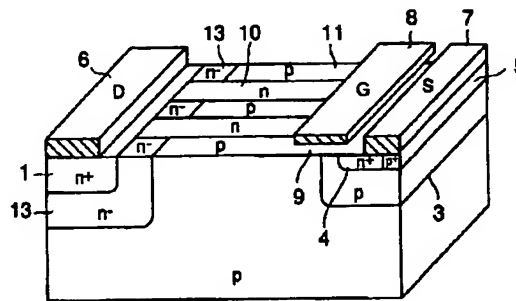
【図4】



【図5】



【図6】



A schematic cross-sectional diagram of a semiconductor device. The structure consists of several layers and regions. At the top, there is a layer labeled 'S' (5) and a layer labeled 'G' (8). Below 'S' is a layer labeled '7' (4). Below 'G' is a layer labeled '9'. The main body of the device is divided into two vertical sections, 'p' (11) and 'n' (10). The 'p' section contains a region labeled 'W' (3) and a region labeled 'p' (11). The 'n' section contains a region labeled 'W' (3) and a region labeled 'n' (10). The bottom of the device is a layer labeled '6' (1). The total height of the device is labeled 'L'. The total width of the device is labeled 'D'. The diagram is labeled with numbers 1 through 11 in parentheses, corresponding to the labels in the text.

(72)発明者 八幡 彰博  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 中村 和敏  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内  
Fターム(参考) 5F040 DA00 EB01 EB13 EE01 EE05  
EF13 EF18 EM01 EM02 EM03